

PAT-NO: JP363153863A  
DOCUMENT-IDENTIFIER: JP 63153863 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: June 27, 1988

INVENTOR-INFORMATION:

NAME  
TAKEDA, MASAYUKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP61300119

APPL-DATE: December 18, 1986

INT-CL (IPC): H01L029/78, H01L021/205, H01L021/265

US-CL-CURRENT: 438/694, 438/FOR.401

ABSTRACT:

PURPOSE: To improve the profile of implanted ions and to avoid a short channel by a method wherein the surface of a prescribed semiconductor single crystal substrate is preferentially etched in an orientation different from that of the substrate using the sidewall surface of an insulating film provided on a gate electrode and a field oxide film as masks and an epitaxial growth is performed on the substrate.

CONSTITUTION: A field oxide film 2 is formed and, thereafter, a gate oxide film 4, a poly Si film 5 and an insulating film 6 are

formed. A semiconductor Si substrate 1 has a (100) orientation. The exposed surface of the substrate 1 is etched with KOH etchant. This etchant etches preferentially the (111) face of the Si film, but does not etch the  $\text{SiO}_2$  oxide films 2 and 6. The depth of etching is limited to about 1000 angstroms. As a result, a groove having a tapered face 1b and a flat face 1a is formed. An epitaxial growth of Si is performed and when a selective epitaxial Si film 7 is formed, the surface thereof becomes roughly flat. An ion implantation is performed to form the profile  $(X_j)$  of an impurity in the impurity introduced region.

COPYRIGHT: (C)1988, JPO&Japio

## ⑫ 公開特許公報 (A)

昭63-153863

⑬ Int.Cl.<sup>4</sup>H 01 L 29/78  
21/205  
21/265

識別記号

301

府内整理番号

Z-8422-5F  
7739-5F  
M-7738-5F

⑭ 公開 昭和63年(1988)6月27日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭61-300119

⑰ 出願 昭61(1986)12月18日

⑱ 発明者 武田正行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 青木朗 外3名

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

1. MOSトランジスタを含む半導体装置を製造する際に、所定方位を有する半導体単結晶基板のソースおよびドレーン領域上のエピタキシャル層を貫通させて不純物を半導体単結晶基板にイオン注入する工程を有する方法において、

ゲート電極に設けられた絶縁膜の側壁面とフィールド酸化膜をマスクにして、半導体基板表面を、前記方位とは異なる方位を優先的にエッチングするエッチング液でエッチングし、かかる後に、エッチングされた半導体単結晶基板の表面にエピタキシャル成長を行なうことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## (概要)

MOSトランジスタのソース、ドレーンに選択エピタキシャル成長を行なう前に、半導体シリコ

ン基板1の結晶方位とは異なる方位に優先エッチングして、ソース、ドレーン領域のゲート側が浅く、該領域中央部が深い溝を形成後、選択エピタキシャル成長を行なうと、注入イオンのプロファイルが改善され、ショートチャネルが避けられる。

## (産業上の利用分野)

本発明は、半導体装置の製造方法に関するものであり、さらに詳しく述べるならば、MOSトランジスタのショートチャネル化を防止するように改良された選択エピタキシャル成長工程を有することを特徴とする半導体装置の製造方法に関するものである。

## (従来の技術)

MOSトランジスタのゲート長がますます短くなっているために、ソース、ドレーン領域におけるイオン注入深さ(×)を浅くすることが必要になるが、現在のイオン注入技術ではアニール温度を900℃まで下げる、0.2μmのイオン注入

深さ ( $x_1$ ) を達成することは困難である。そのため選択エピタキシャル成長膜をソース、ドレン領域に形成し、その成長膜を通してイオンを注入し、イオン注入深さ ( $x_1$ ) を浅くすることが行なわれている。

第2図および第3図は、選択エピタキシャル成長されたソースおよびドレンを有するMOSトランジスタを示す図面である。1は通常(100)面を有する半導体シリコン基板、2はフィールド酸化膜、3はゲート、4はゲート酸化膜、5はポリシリコン、6は絶縁膜、7, 7'は選択エピタキシャル成長されたエピタキシャルSi膜(以下、選択エピSiと略称する)、8はソース領域、9はドレン領域である。このMOSトランジスタの製造工程では、通常のLOCOSによりフィールド酸化膜2を形成し、ゲート3を形成した後、CVD酸化膜(図示せず)を全面に形成し、CVD酸化膜をソース8、ドレン9領域から除去し、露出された半導体シリコン基板1にエピタキシャル成長を行なって、厚さが0.2-0.4μmの選択エ

ピSi7, 7'を形成する。かかるMOSトランジスタでは、選択エピSi7, 7'の厚さの分だけ半導体シリコン基板1へのイオン注入深さが減少し、約0.08μmのイオン注入深さ ( $x_1$ ) を達成される。この方法によれば、チャネル長が0.3-0.5μm程度のMOSトランジスタを容易に形成することができる。

#### (発明が解決しようとする問題点)

本発明者は、従来の選択エピタキシャル成長されたソース、ドレンを有するMOSトランジスタの不純物プロファイルを調査したところ第3図の $x_1$ で示されるように、ソース(ドレン)とゲート3との界面において深くなっていることを確認した。また、選択エピSi7, 7'の裏面の形状を調査したところ、絶縁膜6との接触端で数1000オングストロームの僅な寸法ではあるが、テーパ面7aとなっていることも確認された。このようなテーパ面の形成は絶縁膜6との接触端でポリシリコンのエピタキシャル成長速度が遅いこと

に起因し、そのためゲート3側に低くなるテーパが形成されていると考えられる。なお、このテーパ面をファセットと称することにする。ファセット7aの上から注入されたイオンのプロファイル( $x_1$ )は、ファセット7aの輪郭形状に従うとともに、アーニール後もその輪郭形状が崩れない。よって、イオンのプロファイル( $x_1$ )は凹凸状となり、不純物の濃度コントロールが困難となり、また深く注入された不純物がアーニール時にゲート側に拡散するショートチャネル効果により、MOSトランジスタの微細化が困難になる。

以上のごとき調査により確定された本発明の課題は、ファセットを形成させない効率的 методを提供することにより、イオン注入される不純物の半導体基板内のプロファイルを改善し、以て一層のゲート長短縮に寄与することにある。

#### (問題点を解決するための手段)

本発明は、ゲート電極に設けられた絶縁膜の側壁面とフィールド酸化膜をマスクにして、所定方

位を有する半導体単結晶基板の表面を、該方位とは異なる方位を優先的にエッチングするエッチング液でエッチングし、かかる後に、エッチングされた半導体単結晶基板の表面にエピタキシャル成長することを特徴とする。

#### (作用)

本発明によると、従来の如く半導体単結晶基板の平坦表面にエピタキシャル成長を行なうと、ファセットが発生することは避けられないで、シリコン基板の場合を例にとると、通常使用されている(100)基板の方位である(100)に対して角度を有する方向(例えば、(111)/(100)の角度は54.7度、(110)/(100)の角度は90度である)に優先的にエッチングが進行するエッチング液を用いると、基板面に平行にエッチングが進行するのではなく、(100)にある角度をもつ斜の方向にエッチングが進行する。この結果ファセット7a

(第3図)とは逆方向のテーパの凹部がシリコン基板表面に形成され、ゲート3側で浅くなるエッ

チング溝、凹部等が作られるので、その上にエピタキシャル成長を行なうと、平坦な表面のエピタキシャル層が得られ、そして不純物プロファイルが改善される。なお、(100)シリコン基板の例について説明を行なったが、その他の方位および／または半導体についても、同様な作用が得られるることは言うまでもない。

以下、実施例によりさらに詳しく本発明を説明する。

#### 〔実施例〕

第1図に示すように、通常のLOCOSによりフィールド酸化膜2を形成後、公知の方法でゲート酸化膜4、ポリシリコン5、絶縁膜6を形成する。なお、半導体シリコン基板1は(100)方位を有する通常のものである。続いて、KOH系エッティング液により半導体シリコン基板1の表面のエッティングを行なう。このエッティング液はシリコンの(111)面を優先的にエッティングするが、 $\text{SiO}_2$ 酸化膜2、6はエッティングしない選択性を有するもの

である。エッティングは深さが1000オングストローム程度になるように行なう。この結果テーパ面1bと平坦面1aを有する溝が形成される。

続いて、シリコンのエピタキシャル成長を行ない(第4図)、選択エピS1 7を厚さ0.2～0.4 $\mu\text{m}$ に形成すると、その表面はほぼ平坦となり、ファセットの形成はほぼ起らない。選択エピタキシャル成長の条件は、温度950℃以下、圧力0.8 torr、原料ガス $\text{SiHCl}_3$ 、が好ましい。

選択エピS1 7の形成後イオン注入を行なうと、不純物プロファイル(x)を第4図に示す如き不純物導入領域が形成される。この不純物プロファイルは凹凸がないため、ショートチャネル化の欠点を招かない。

第5図に示すように選択エピS1 7の表面に厚さが約300オングストロームの酸化膜10を形成した後、950～1000℃にてアニールを行なう。

#### 〔発明の効果〕

本発明によると、約0.05 $\mu\text{m}$ のイオン注入深さ

(x)を達成されるとともに、チャネル長が0.3～0.5 $\mu\text{m}$ 程度のMOSトランジスタを容易に形成することができ、また不純物のプロファイル、濃度の制御の再現性が高められる。

#### 4. 図面の簡単な説明

第1図は、本発明の提案するところにより、選択エピタキシャル成長前に半導体基板をその結晶方位とは異なる方位にエッティングする工程を示す図面。

第2図は、選択エピタキシャル成長によりソース、ドレーンを形成して、該成長層の厚さに相当する分だけ注入イオンの深さを浅くしたMOSトランジスタの概念図。

第3図は第2図の拡大図。

第4図は第1図の工程の後に選択エピタキシャル成長を行なう工程を示す図面。

第5図は第4図の工程の後にアニールを行なう工程を示す図面である。

1…半導体シリコン基板、  
2…フィールド酸化膜、

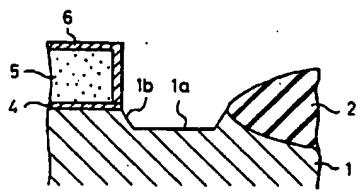
3…ゲート、4…ゲート酸化膜、  
5…ポリシリコン、6…絶縁膜、  
7、7'…選択エピタキシャル成長されたエピタキシャル膜(選択エピS1)、  
7a…ファセット、8…ソース領域、  
9…ドレーン領域、10…酸化膜。

#### 特許出願人

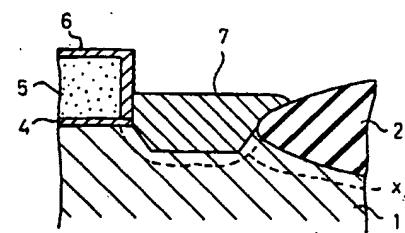
富士通株式会社

#### 特許出願代理人

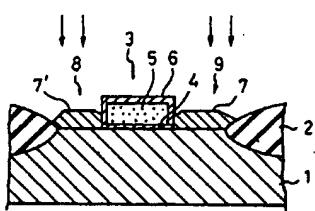
弁理士 青木 朗  
弁理士 西館 和之  
弁理士 内田 幸男  
弁理士 山口 昭之



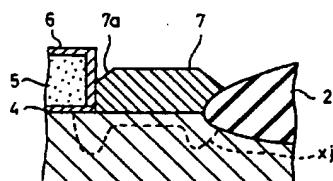
第1図



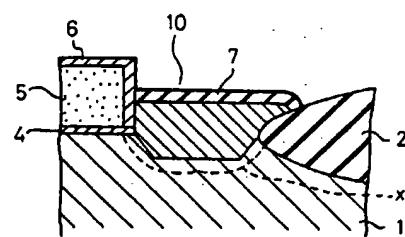
第4図



第2図



第3図



第5図